

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005 年 7 月 28 日 (28.07.2005)

PCT

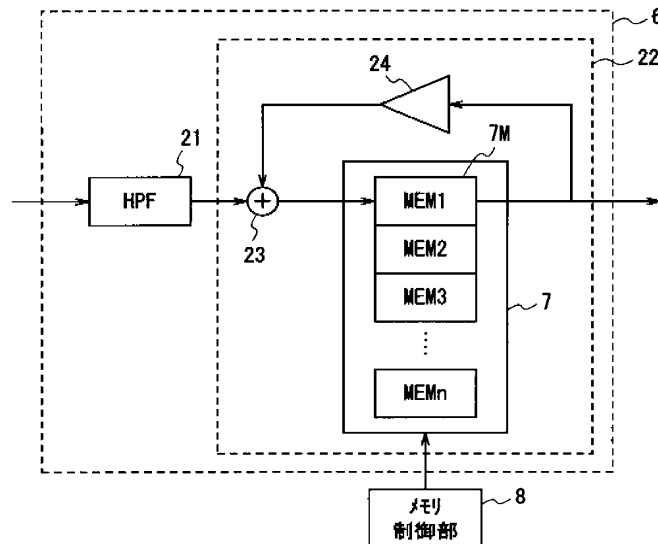
(10) 国際公開番号  
**WO 2005/069285 A1**

- (51) 国際特許分類<sup>7</sup>: **G11B 7/095** (74) 代理人: 早瀬 憲一 (HAYASE, Kenichi); 〒5320003 大阪府大阪市淀川区宮原 3 丁目 4 番 30 号 ニッセイ新大阪ビル 13 階 早瀬特許事務所 Osaka (JP).
- (21) 国際出願番号: PCT/JP2005/000339
- (22) 国際出願日: 2005 年 1 月 14 日 (14.01.2005) (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2004-008917 2004 年 1 月 16 日 (16.01.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1006 番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 荻田 吉博 (KANDA, Yoshihiro).
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

[続葉有]

(54) Title: REPETITIVE CONTROL APPARATUS AND OPTICAL DISC APPARATUS

(54) 発明の名称: 繰り返し制御装置、及び光ディスク装置



8 MEMORY CONTROL PART

(57) Abstract: A repetitive control apparatus for use in processing a servo signal, wherein a memory (7) is used as a delay element of a filter (6), and a clock signal, which has a frequency that is an integer multiple of the operation frequency of a drive signal, is used to perform a filtering of the filter (6), whereby the gain can be raised without causing a signal, which is to be compensated for, to have a phase rotation, and whereby during recording/reproducing in an optical disc apparatus, a high tracking performance can be achieved for a track position variation caused by a disc geography, such as eccentricity, side-runout or the like.

[続葉有]

WO 2005/069285 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: 本発明は、サーボ信号処理を行う際に使用する繰り返し制御装置において、メモリ(7)をフィルタ(6)の遅延要素として用い、フィルタ(6)によるフィルタ処理を駆動信号の動作周波数の整数倍のクロック信号を用いて行うようにしたことにより、被補償信号に対して位相回りを発生させることなく、ゲインを上げることができ、光ディスク装置における記録再生処理において、偏心や面ぶれなどのディスクの形状に起因するトラック位置変動に対して高い追従性能を発揮することが可能になる。

## 明 細 書

### 繰り返し制御装置、及び光ディスク装置

#### 技術分野

[0001] 本発明は、繰り返し制御装置を用いた光ディスク装置に関するものである。

#### 背景技術

[0002] 光ディスク装置の高倍速化、高密度化の進展に伴い、レーザービームの焦点を情報記録トラック上に維持する光サーボは、急速にその精度向上を求められつつある。特に、光ディスク装置の高倍速化に伴って、光ディスクの偏心、面ぶれなどのディスク回転に同期するトラック位置変動は大きくなる一方であり、これらの変動に追従することができる光ディスク装置の開発が望まれている。

[0003] しかしながら、サーボ信号は、ディスクの回転数が高くなるに従って振幅はそのままに周波数のみが高くなる特性を有するため、サーボ残差を規定値以下に維持するためにはより高いループゲインが必要となる。その一方で、ループゲインを上げることはピックアップの持つ2次共振などの制約により限界があり、その結果、追従性能の劣化という問題が生じていた。

[0004] そこで、この追従性能を確保するための技術として特許文献1に示されるような、繰り返し制御装置が注目されている。

[0005] 図8は、従来の光ディスク装置のサーボ信号処理を説明するためのブロック図である。

[0006] 図8において、従来の光ディスク装置のサーボ信号処理系は、加算器0と、サーボフィルタ1と、加算器2と、DAC3と、ドライバ4と、ピックアップ5と、フィルタ6と、メモリ7と、メモリ制御部8と、回転角検出部9と、ゲイン10とからなる。なお、繰り返し制御装置20は、図示するように、加算器2とフィルタ6とメモリ7とゲイン10とから構成されている。

[0007] 加算器0は、トラック位置に対する光ビーム焦点の位置誤差を検出し、検出した信号をサーボエラー信号としてサーボフィルタ1に出力する。サーボフィルタ1は、入力されたサーボエラー信号に対してPID制御フィルタ処理等を行い、生成した被補償

信号S3を繰り返し制御装置20に出力する。

- [0008] 加算器2は、サーボフィルタ1の出力S3にゲイン10からの出力S2を加算し、駆動信号S1を生成する。DAC3は、DAコンバータで、加算器2から出力される駆動信号S1をアナログ信号に変換する。ドライバ4は、DAC3の出力を受けてアクチュエータ駆動電流を発生する。ピックアップ5は、アクチュエータ駆動信号に基づいて制御されるピックアップであり、レンズの位置を移動して光ディスク上の光ビームの焦点の位置を移動させる。
- [0009] フィルタ6は、繰り返し制御装置20のフィルタで、繰り返し制御を行う所定の周波数領域帯域の信号を生成する。なお、ここでは、フィルタ6を加算器2から出力される信号に対して繰り返し制御装置20の制御帯域以上のノイズおよび信号を除去するローパスフィルタと直流成分を除去するハイパスフィルタとで構成するものとする。
- [0010] メモリ7は、複数のメモリ領域を有し、ディスク一回転分の信号情報を該複数のメモリ領域に分割して格納する。メモリ制御部8は、回転角検出部9から出力される動作タイミング信号に基づいて、メモリ7のアドレスを切り換えて、選択されたアドレスの内容を加算器2に送ると共に、該アドレスで示されるメモリ領域にフィルタ6の出力を格納する。
- [0011] 回転角検出部9は、入力されたスピンドルFG信号に位相同期した整数倍の周波数を有するクロック信号を発生し、メモリ制御を行う際の動作タイミング信号として出力する。
- [0012] ゲイン10は、メモリ7からの出力に対して1以下の値を乗じて加算器2に出力するゲイン要素 $\beta$ であり、常に学習の度合いが100%とならないように $\beta \leq 1$ の値を乗じ、繰り返し制御の安定条件を満たすよう作用する。
- [0013] 図9は、図8で示した繰り返し制御装置20のメモリ7を説明するためのブロック図である。
- [0014] 図9において、光ディスク100の横に記載された矢印は、光ディスク100の回転方向を示すものであり、また、光ディスク100上の1〜16の数字は、光ディスク100を周方向に16分割した領域を示している。
- [0015] ピックアップ5は、回転する光ディスク100上のトラックを周方向にトレースしている。

これは図8のピックアップ5と同じものである。

- [0016] メモリ102は、光ディスク100上の領域1〜16に対応する16個のメモリ領域を有し、それぞれ対応するアドレスが決められている。セクタ103は、メモリ102のうちの一つのアドレスを選択してフィルタ6からのデータを書き込み、また、読み出したデータを図8で示した加算器2に出力する。なお、メモリ102とセクタ103を合わせたものが図8のメモリ7である。
- [0017] ディスクモータ104は、光ディスク100を回転させると共に、備えているFG回路からFGパルスを出力する。
- [0018] PLL105は、ディスクモータ104から出力されたFGパルスを逡倍してクロック信号を生成する。なお、この図9では、光ディスクを16分割しているため、一周あたり16パルスのクロックを生成している。カウンタ106は、PLL105の発生したクロックをカウントして、1〜16のカウンタ出力を行う。なお、PLL105とカウンタ106を合わせたものが図8の回転角検出部9である。
- [0019] メモリ制御部8は、カウンタ106のカウンタ出力から、ピックアップ101が現在再生している、光ディスク100上の領域を判別し、対応するメモリ102のアドレスをセクタ103に送り出している。これは図8のメモリ制御部8と同じものである。
- [0020] 図10は、メモリ7のデータ更新の様子を説明する波形図である。メモリ制御部8から出力されるメモリアドレスに従ってメモリ7出力が切り換えられ、ゲイン10を介したメモリ7からの出力S2とサーボフィルタ1の出力S3とが加算器2によって加算される。その後、加算結果S1が、DAC3に送られると共に、フィルタ6を経由してメモリ7に入力される。
- [0021] 図10では簡単のために、サーボフィルタ1の出力S3をゼロとして作図しているので、ゲイン10を介したメモリ7の出力S2はフィルタ6の入力S1に等しくなっている。
- 次に、この従来の光ディスク装置の動作について説明する。
- [0022] まず、図8に示す加算器0、サーボフィルタ1、加算器2、DAC3、ドライバ4、ピックアップ5からなるサーボループが行うサーボループ処理について説明する。
- [0023] 先ず、回転する光ディスク上のトラックをピックアップ5がトレースしている際にピックアップ5から出力される光ビーム焦点の位置と、外部より入力されるトラック位置とから

、トラック位置に対する光ビーム焦点の位置誤差が加算器0により検出され、サーボフィルタ1に入力される。

[0024] サーボフィルタ1では、入力されたトラック位置に対する光ビーム焦点の位置誤差信号に対して、位相補償、低域補償等の処理が行われる。その後サーボフィルタ1、加算器2、及びDAC3を経由して、トラックの偏心、面ぶれなどに追従するアクチュエータ駆動信号がドライバ4からピックアップ5に出力される。そして、このドライバ4から出力されるアクチュエータ駆動信号に基づいてピックアップ5の位置が適切に制御されることにより、トラック上に光ビームの焦点が維持される。

[0025] 次に、前記サーボループ処理に対してフィードフォワード制御を行う繰り返し制御装置20の処理について説明する。

[0026] 加算器2から出力された信号S1は、フィルタ6に入力され、ローパスフィルタにより、繰り返し制御装置20の制御帯域以上のノイズおよび信号が除去されるとともに、ハイパスフィルタによって直流成分が除去される。

[0027] そして、かかるフィルタ6からの信号は、回転角検出部9から出力される動作タイミング信号に基づいて動作するメモリ制御部8の制御によりメモリ7の所定のアドレス領域に格納される。メモリ制御部8は、同時にメモリ7の所定のアドレス領域に格納されている情報をゲイン10に出力し、ゲイン10により1以下の値が乗じられた信号S2が加算器2に出力される。この構成により、フィルタ6により所定の周波数帯域に制御されたディスク回転分の信号がメモリ7の複数に分割されたメモリ領域に記録されるとともに、順次メモリ7から出力されることとなる。

[0028] その後、ゲイン10からの出力信号S2は、加算器2により、サーボフィルタ1から出力される被補償信号S3に加算される。

[0029] なお、この繰り返し制御装置20の動作において、フィルタ6のローパスフィルタは、メモリ7のアドレス切換周波数をサンプリング周波数として駆動信号S1をメモリ7に記憶する際のアンチエイリアスフィルタとして作用する。

[0030] 以上のように、従来の繰り返し制御装置20を備えた光ディスク装置によれば、ディスクの回転に同期した信号S2が、メモリ7からゲイン10を介してフィードフォワードとして供給されるようになり、サーボフィルタ1から出力される被補償信号S3の、ディスク

回転に同期した周波数成分の信号レベルを低下させることができる。これは、取りも直さず、サーボフィルタ1の入力であるサーボ誤差信号のレベルが下がることであり、トラックに対する追従性能が向上したことを意味する。

- [0031] また、サーボ特性としては、図11のゲイン図で示すように、ディスク1回転の周波数の整数倍の周波数におけるループゲインが上がったこととなる。その結果、偏心、面ぶれなど、ディスクの形状に起因するトラック位置変動に対する、ピックアップ5の追従性能を向上させることができる。なお、図11は、フィルタ6とメモリ7からなる構成要素の伝達関数G特性を示す図であり、ゲイン特性中、点線(1)が繰り返し制御を行わなかった場合の伝達関数Gの特性、実線(2)が繰り返し制御を行った場合の伝達関数Gの特性を示す。

特許文献1:特開平9-50303号公報

## 発明の開示

### 発明が解決しようとする課題

- [0032] しかしながら、上記従来の構成では、フィルタ6のハイパスフィルタのカットオフ周波数付近の周波数とローパスフィルタのカットオフ周波数付近の周波数において位相回りが発生するため(図11の位相図参照)、前記サーボ性能向上効果が十分に発揮できないといった問題点があった。
- [0033] これは特に、高倍速記録・再生時に発生する、高い周波数成分を持つ部分的な偏心や部分的な面ぶれに対する効果の低下を招き、高倍速記録・再生処理時の追従性能を低下させる原因となっていた。
- [0034] 本発明は、前記問題点に鑑みてなされたものであり、フィルタ処理時に位相回りが発生することを防止し、特に、高い周波数成分を持つ部分的な偏心や部分的な面ぶれに対しても高い追従性能を発揮する繰り返し制御装置を提供することを目的とする。

### 課題を解決するための手段

- [0035] 上記課題を解決するために本発明の請求項1に記載の繰り返し制御装置は、被補償信号が入力される加算部と、前記加算部からの出力信号を順次更新記憶して前記加算部に出力するフィードバック信号系とを備え、前記フィードバック信号系が、デ

ィスク一回転分の信号情報を複数のメモリ領域に分割して格納するメモリを、遅延要素として用いるフィルタと、前記フィルタからの出力に対して1以下の値を乗じて前記加算部に入力するゲイン要素とからなり、前記フィルタが駆動信号の動作周波数の整数倍のクロック信号を用いて動作するようにした。これにより、被補償信号に対して位相回りを発生させることなく、ゲインを上げることができ、偏心や面ぶれなどのディスクの形状に起因するトラック位置変動に対して高い追従性能を発揮することが可能になる。また、従来必要であったフィルタの遅延処理用のメモリを省略することができるため、回路規模の縮小を図ることも可能になる。

[0036] また、本発明の請求項2に記載の繰り返し制御装置は、請求項1に記載の繰り返し制御装置において、前記フィルタが、前記メモリに並列に接続したレジスタを有し、前記フィルタによるフィルタ処理時に、入力信号の上位ビットデータを前記メモリに記録し、下位ビットデータを前記レジスタに記録するようにした。これにより、メモリの回路規模を抑えることができるとともに、フィルタ動作を安定化し、演算精度を維持することが可能になる。

[0037] また、本発明の請求項3に記載の繰り返し制御装置は、請求項2に記載の繰り返し制御装置において、前記メモリに記録される上位ビットデータの語長を、前記加算部で加算される被補償信号のデータの語長に等しくした。これにより、メモリの回路規模を必要最小限に抑えることができるとともに、フィルタ動作を安定化し、演算精度を維持することが可能になる。

[0038] また、本発明の請求項4に記載の繰り返し制御装置は、請求項1または請求項2に記載の繰り返し制御装置において、前記フィルタは、ローパスフィルタを含み、前記メモリを該ローパスフィルタの遅延要素として用いるようにした。

[0039] また、本発明の請求項5に記載の繰り返し制御装置は、請求項1または請求項2に記載の繰り返し制御装置において、前記フィルタは、ローパスフィルタとハイパスフィルタとからなるバンドパスフィルタであり、前記メモリを前記ローパスフィルタの遅延要素として用いるようにした。

[0040] また、本発明の請求項6に記載の繰り返し制御装置は、サーボエラー信号が入力される加算部と、前記加算部からの出力信号を順次更新して前記加算部に入力するフ



ィードバック信号系と、前記加算部からの出力に対して所定の値を乗算する積分ゲインとを備え、前記フィードバック信号系が、ディスク一回転分の信号情報を複数のメモリ領域に分割して格納するメモリと、前記メモリからの出力に対して1以下の値を乗じて前記加算部に入力するゲイン要素とからなり、入力されたサーボエラー信号に対して積分演算処理を行う際に、前記メモリを入力信号の遅延要素として用いて積分演算処理を行うようにした。これにより、サーボエラー信号中のディスク回転数に同期した周波数におけるゲインを積分項のDCゲインと同じにすることができ、より少ない回路規模で、位相遅れを生じさせることなく、ゲインを上昇させることが可能となる。

[0041] また、本発明の請求項7に記載の光ディスク装置は、光ディスクの記録又は再生を行う光ディスク装置において、請求項1に記載の繰り返し制御装置を搭載したものであり、偏心や面ぶれなどのディスクの形状に起因するトラック位置変動に対して高い追従性能を発揮することが可能になる。

[0042] また、本発明の請求項8に記載の光ディスク装置は、光ディスクの記録又は再生を行う光ディスク装置において、請求項6に記載の繰り返し制御装置を搭載したものであり、偏心や面ぶれなどのディスクの形状に起因するトラック位置変動に対して高い追従性能を発揮することが可能になる。

### 発明の効果

[0043] 本発明の繰り返し制御装置によれば、被補償信号が入力される加算部と、前記加算部からの出力信号を順次更新記憶して前記加算部に出力するフィードバック信号系とを備え、前記フィードバック信号系を構成するフィルタの遅延要素として、ディスク一回転分の信号情報を複数のメモリ領域に分割して格納するメモリを用い、フィルタ処理を駆動信号の動作周波数の整数倍のクロック信号を用いて行うようにしたことにより、回転数に同期した周波数成分については、位相ずれのない信号を、メモリに記録し、出力することが可能になり、偏心や面ぶれなどのディスクの形状に起因するトラック位置変動に対して高い追従性能を発揮することが可能となる。

[0044] また、従来必要であったフィルタの遅延処理用のメモリを省略することができるため、回路規模の縮小を図ることも可能になる。

[0045] また、本発明の繰り返し制御装置によれば、フィルタがメモリに並列に接続されるレ

ジスタを有し、フィルタ処理時に入力信号の上位ビットデータをメモリに記録し、下位ビットデータをレジスタに記録するようにしたので、メモリの回路規模を必要最小限に抑えることができるとともに、フィルタ動作を安定化し、演算精度を維持することが可能になる。

- [0046] また、本発明の繰り返し制御装置によれば、サーボフィルタの積分項演算部が行う積分演算処理を、ディスク一回転分の信号情報を複数のメモリ領域に分割して格納するメモリを用いて行うようにしたことにより、サーボエラー信号中のディスク回転数に同期した周波数におけるゲインを積分項のDCゲインと同じにすることができ、より少ない回路規模で、通常のサーボフィルタ回路に繰り返し制御装置を追加した場合と同等の効果を得ることが可能となる。

#### 図面の簡単な説明

- [0047] [図1]図1は本発明の実施の形態1による光ディスク装置のサーボ信号処理を説明するためのブロック図
- [図2]図2は本発明の実施の形態1による繰り返し制御装置のメモリを遅延要素として用いたフィルタの構成を示すブロック図
- [図3(a)]図3(a)は従来の繰り返し制御装置における出力信号S1～S3の波形を示す波形図
- [図3(b)]図3(b)は本発明の実施の形態1による繰り返し制御装置における出力信号S1～S3の波形を示す波形図
- [図4]図4は本発明の実施の形態1による繰り返し制御装置のフィルタ及びメモリの伝達関数をGとした場合の伝達関数G特性を示す図
- [図5]図5は本発明の実施の形態2による繰り返し制御装置のメモリを遅延要素として用いたフィルタの構成を示すブロック図
- [図6]図6は本発明の実施の形態3による光ディスク装置のサーボ信号処理を説明するためのブロック図
- [図7(a)]図7(a)は従来の積分項演算部で得られるゲイン特性及び位相特性を示す波形図
- [図7(b)]図7(b)は本発明の実施の形態3による積分項演算部で得られるゲイン特性

及び位相特性を示す波形図

[図8]図8は従来の光ディスク装置のサーボ信号処理を説明するためのブロック図

[図9]図9は従来の光ディスク装置のメモリを説明するためのブロック図

[図10]図10は従来例のメモリのデータ更新の様子を説明するための波形図

[図11]図11は従来の繰り返し制御装置のフィルタ及びメモリの伝達関数をGとした場合の伝達関数G特性を示す図

### 符号の説明

[0048] 0 加算器

1、41 サーボフィルタ

2 加算器

3 DAコンバータ

4 ドライバ

5 ピックアップ

6 フィルタ

7 メモリ

8 メモリ制御部

9 回転角検出部

10 ゲイン

11、20 繰り返し制御装置

21、31 ハイパスフィルタ

22、32 ローパスフィルタ

23、33 加算器

24、34 フィードバックゲイン

41a 微分項演算部

41b 比例項演算部

41c 積分項演算部

41d、41e 加算器

発明を実施するための最良の形態

[0049] (実施の形態1)

以下に、本発明の実施の形態1による繰り返し制御装置について説明する。

[0050] 図1は、本発明の実施の形態1による光ディスク装置のサーボ信号処理を説明するためのブロック図である。

[0051] 図1において、本発明の実施の形態1による光ディスク装置は、加算器0と、サーボフィルタ1と、加算器2と、DAC3と、ドライバ4と、ピックアップ5と、フィルタ6と、メモリ7と、メモリ制御部8と、回転角検出部9と、ゲイン10とからなる。なお、各構成要素は、図8で示した従来の光ディスク装置と同じであるが、本発明の実施の形態1では、繰り返し制御装置11のメモリ7がフィルタ6の遅延要素となっており、また、その動作周波数は、メモリアドレスの切換周波数ではなく、駆動信号の動作周波数と同じ、あるいは、その分周周波数であるという点で異なる。

[0052] 図2は、メモリ7がフィルタ6の構成要素の一部となっている部分を詳細に図示したブロック図である。なお、ここでは、フィルタ6がハイパスフィルタ21とローパスフィルタ22とで構成され、メモリ7をローパスフィルタ22の遅延要素として用いる例を示す。

[0053] 図2において、ハイパスフィルタ21は直流成分を除去するものである。加算器23、メモリ7、及びフィードバックゲイン24はローパスフィルタ22を構成し、繰り返し制御装置11の制御帯域以上のノイズおよび信号を除去する。なお、メモリ7中の7Mは、メモリ制御部8のアドレス制御により現在選択されているメモリ領域(以下、メモリセルという)を示し、データの書き込み及び読み出しがこのメモリセル7Mに対して行われる。

[0054] 次に、本発明の実施の形態1による繰り返し制御装置11の動作を説明する。

[0055] サーボフィルタ1から加算器2を介してDAコンバータ3に送られる駆動信号は、図2に示すハイパスフィルタ21を経由して直流成分を取り除かれた後、メモリセル7Mと加算器23、フィードバックゲイン24によって構成されたローパスフィルタに入力される。その後、ローパスフィルタ22で繰り返し制御装置11の制御帯域以上のノイズおよび信号が除去され、サーボフィルタ1の出力と加算され、駆動信号としてDAコンバータ3に送られる。

[0056] 本発明では、これらの処理を駆動信号の動作周波数と同じ、あるいは、その分周周波数で行うため、メモリ制御部8によってメモリ7のアドレスが切り換えられるまで、メモ

リ7Mに対して、数10から数100回の処理が繰り返し行われることとなる。その結果、メモリセル7Mには、メモリセル7Mが選択されて以降の駆動信号の平均値が書き込まれる。

[0057] そして、メモリ制御部8の制御によりメモリ7のアドレスが切り換わった時点で、メモリセル7Mの内容はホールドされ、他のメモリセルがアドレスされている間、保存される。

[0058] この動作により、メモリ7の各セルにはディスクの回転角度に対応したその時点における駆動信号データが位相ずれ無しに記憶されることとなる。

[0059] 次に、図3及び図4を用いて本発明の実施の形態1による繰り返し制御装置11が行う処理についてさらに詳細に説明する。

[0060] 図3は、本発明の実施の形態1による繰り返し制御装置11の動作を説明するための波形図である。

[0061] 図3(a)は、図8に示した従来の繰り返し制御装置11の各構成要素から出力される信号の波形を示す図であり、図3(b)は、図1に示した本発明の実施の形態1による繰り返し制御装置11の各構成要素から出力される信号の波形を示す図である。

[0062] 図3において、S1は加算器2から出力されるディスク追従に必要な駆動信号の波形、S2はフィルタ処理後の加算器2に入力される信号の波形、S3はサーボフィルタ1から出力される被補償信号の波形をそれぞれ示す。なお、被補償信号S3の波形は図1からも明らかなように、 $(S1 - S2)$ で決定される。

[0063] ここで、サーボフィルタ1出力S3をA、加算器2出力S1をB、加算器2入力S2をCとし、フィルタ6とメモリ7の伝達関数をGとすると、以下の数1のような関係が成り立つ。

[0064] [数1]

$$B = \frac{1}{1-G} \cdot A$$

$$A = (1-G) \cdot B$$

$$C = G \cdot B$$

[0065] 図3(a)に示すように、従来の光ディスク装置では、フィルタ6及びメモリ7がメモリ制御部8のメモリアドレス切換周波数で動作するため、メモリ7から出力される加算器2

入力S2には、フィルタ処理を行うことによる位相遅れが生じてしまう。これにより、メモリ7から出力される加算器2入力S2の出力振幅を大きくしたとしても、 $S3 = S1 - S2$ で決定されるサーボフィルタ1出力S3をゼロにすることは出来ない。

[0066] これに対し、本発明の実施の形態1による繰り返し制御装置11は、図2に示すように、繰り返し制御装置11のメモリ7をフィルタ6のローパスフィルタ22の遅延要素として用い、その動作周波数として、メモリアドレスの切換周波数ではなく、駆動信号の動作周波数と同じ、あるいは、その分周周波数を用いている。

[0067] これにより、メモリ制御部8によりメモリ7のアドレスが切り換わるまでに、数10から数100回のフィルタ処理が繰り返し行われることとなり、メモリ7の対応するメモリセル7Mには、メモリセル7Mが選択されて以降の駆動信号の平均値が書き込まれ、図3(b)に示すように、メモリ7から出力される加算器2入力S2にフィルタ処理による位相遅れが生じない。

[0068] そのため、メモリ7から出力される加算器2入力S2の出力振幅を大きくすることによって、 $S3 = S1 - S2$ で決定されるサーボフィルタ1出力S3をゼロにすることができる。

[0069] 図4は、本発明の実施の形態1による繰り返し制御装置11を用いた場合のフィルタ6とメモリ7の伝達関数Gの特性を示す図である。

[0070] 図4に示すように、サーボ特性としては、従来と同様に、ディスク1回転の周波数の整数倍の周波数におけるループゲインを上げることが可能となり、ディスクの形状に起因するトラック位置変動に対するピックアップ5の追従性能を向上させることができる。

[0071] また、位相特性においても、メモリ7を遅延要素とするフィルタ6がくし型フィルタとして作用するため、くし型のピーク時では位相回りがゼロとなり、フィルタ処理時に位相回りが発生することを防止することができる。

[0072] 以上のように、本発明の実施の形態1による繰り返し制御装置11によれば、メモリ7をフィルタ6の遅延要素として用い、フィルタ処理を駆動信号の動作周波数の整数倍のクロック信号を用いて行うようにしたことにより、被補償信号に対して位相回りを発生させることなく、ゲインを上げることができ、偏心や面ぶれなどのディスクの形状に起因するトラック位置変動に対して高い追従性能を発揮することが可能になる。

[0073] また、本発明によれば、さらに、従来必要であったフィルタの遅延処理用のメモリを省略することができるため、回路規模の縮小を図ることも可能になる。

[0074] (実施の形態2)

次に、本発明の実施の形態2による繰り返し制御装置について説明する。

[0075] 本発明の実施の形態2による繰り返し制御装置は、前記実施の形態1による繰り返し制御装置11のメモリ7と並列に接続したレジスタを有し、フィルタ6によるフィルタ処理時に、入力信号の上位ビットデータをメモリ7に記録し、下位ビットデータをレジスタに記録するようしたものである。

[0076] 図5は、本発明の実施の形態2による繰り返し制御装置のメモリ7がフィルタ6の構成要素の一部となっている部分を詳細に図示したブロック図である。なお、ここでは、フィルタ6がハイパスフィルタ31とローパスフィルタ32とで構成され、メモリ7及びレジスタ35をローパスフィルタ32の遅延要素として用いる例を示す。

[0077] 図5において、ハイパスフィルタ31は直流成分を除去するものである。加算器33、メモリ7、フィードバックゲイン34、及びレジスタ35はローパスフィルタ32を構成し、繰り返し制御装置の制御帯域以上のノイズおよび信号を除去する。なお、メモリ7中の7Mは、メモリ制御部8のアドレス制御により現在選択されているメモリセルを示し、データの書き込み及び読み出しがこのメモリセル7Mに対して行われている。

[0078] ここで、レジスタ35はメモリ7とともにローパスフィルタ32の遅延要素を構成し、メモリセル7Mが入力信号データの上位、レジスタ35が下位のデータを記憶する。

[0079] 前述した本発明の実施の形態1による繰り返し制御装置では、メモリ7のみがローパスフィルタ22の遅延要素として機能している。しかしながら、ローパスフィルタ22のカットオフ周波数を低い周波数に設定しようとする場合、遅延要素であるメモリ7に記憶されるデータの語長がきわめて長いものとなり、メモリ7の回路規模が大きなものになってしまうという問題がある。

[0080] また、回路規模を削減するために単純にデータの下位ビットを切り捨てると、ローパスフィルタ32の演算精度が低下したり、ステップ応答が収束せずに振動的な応答を示すなどの問題が生じる。

[0081] そこで、本発明の実施の形態2による繰り返し制御装置では、メモリ7に格納するデ

ータの語長を削減するとともに、削減した部分を切り捨てずに図5に示すレジスタ35に記録させることで、演算処理に用いるデータの語長を削減することなくフィルタ処理を行っている。これにより、メモリ7の回路規模の増大を抑えながら、フィルタ動作を安定化し、精度を維持することが可能になる。

[0082] なお、上位ビットを受け持つメモリ7の語長は、少なくとも、その出力が与えられるD/Aコンバータ3のビット数に等しくしておくことが望ましい。これにより、メモリの回路規模を必要最小限に抑えることができるとともに、フィルタ動作を安定化し、演算精度を維持することが可能となる。

[0083] また、本発明の実施の形態2による繰り返し制御装置は、前記実施の形態1による繰り返し制御装置と同様に、フィルタ6によるフィルタ処理を、メモリアドレスの切換周波数ではなく、駆動信号の動作周波数と同じ、あるいは、その分周周波数を用いて行っている。そのため、メモリ制御部8によってメモリ7のアドレスが切り換えられるまでレジスタ35の内容が数10から数100回更新されることとなり、レジスタ35の値が本来の値に収束するため、繰り返し制御動作への影響も最小限にとどめることができる。

[0084] 以上のように、本発明の実施の形態2による繰り返し制御装置によれば、フィルタ6がメモリ7に並列に接続されるレジスタ35を有し、フィルタ処理時に入力信号の上位ビットデータをメモリ7に記録し、下位ビットデータをレジスタ35に記録するようにしたので、メモリの回路規模を必要最小限に抑えることができるとともに、フィルタ動作を安定化し、演算精度を維持することができるという効果が得られる。

[0085] なお、本発明の実施の形態1及び2では、フィルタ6をローパスフィルタとハイパスフィルタからなるバンドパスフィルタで構成し、ローパスフィルタの遅延要素としてメモリ7を用いるものについて説明したが、メモリ7をフィルタリング時の遅延要素として用いるものであればフィルタ6の構成は上記のものに限定されるものではなく、例えばフィルタ6を、メモリ7を遅延要素として用いたローパスフィルタのみで構成することもできる。

[0086] (実施の形態3)

次に、本発明の実施の形態3による繰り返し制御装置について説明する。

[0087] 本発明の実施の形態3による繰り返し制御装置は、サーボフィルタの積分項演算部が行う積分演算処理を、ディスク一回転分の信号情報を複数のメモリ領域に分割して



格納するメモリを用いて行うようにしたものである。

[0088] 図6は、本発明の実施の形態3による光ディスク装置のサーボ信号処理を説明するためのブロック図である。

[0089] 図6において、本発明の実施の形態3による光ディスク装置は、加算器0と、サーボフィルタ41と、加算器2と、DAC3と、ドライバ4と、ピックアップ5と、メモリ制御部8と、回転角検出部9とからなる。なお、本発明の実施の形態3による光ディスク装置は、メモリ7をサーボフィルタ41の積分項演算部の遅延要素として用いたものであり、図8で示した従来の光ディスク装置と同じ構成要素については同一符号を付し、ここでは説明を省略する。

[0090] サーボフィルタ41は、微分項演算部41aと、比例項演算部41bと、積分項演算部41cと、微分項演算部41a、比例項演算部41b、及び積分項演算部41cからの出力を加算して出力する加算器41dとからなる。

[0091] 微分項演算部41aは、加算器0から出力される位置誤差信号に対して比例制御を行うものであり、比例項演算部41bは、加算器0から出力される位置誤差信号に対して比例制御を行うものである。

[0092] 積分項演算部41cは、加算器0から出力される位置誤差信号に対して積分制御を行うものであり、加算器0から出力される位置誤差信号とメモリ7から出力されるフィードバック信号とを加算する加算器41eと、複数のメモリ領域を有し、ディスク一回転分の信号情報を該複数のメモリ領域に分割して格納するメモリ7と、ゲイン10と、積分ゲインとから構成される。

[0093] 次に、本発明の実施の形態3による繰り返し制御装置の動作を説明する。

加算器0からトラック位置に対する光ビーム焦点の位置誤差を示すサーボエラー信号が積分項演算部41cに入力されると、積分項演算部41cは、メモリ制御部8により選択されているメモリセルを用いて積分処理を行う。

[0094] この積分処理は、駆動信号の動作周波数と同じ、あるいは、その分周周波数で行われ、メモリ制御部8からの制御信号によりメモリアドレスが切り換わるまで同じメモリセル7Mに対して数10から数100回の処理が繰り返し行われることとなる。

[0095] そして、メモリ7のメモリアドレスがディスクの回転に応じてメモリ制御部8によって切り

換えられることで、それぞれのディスク回転角度に対応したサーボ制御信号の低域成分がメモリ7が有する複数のメモリセルに順次保存されると同時に、順次出力される。

[0096] この動作により、ディスク上の各位置の変位に対応する駆動信号を広帯域に渡って記憶し出力することが可能になるとともに、積分処理における位相遅れを解消し、ループ位相特性を改善することが可能になる。

[0097] 図7は、本発明の実施の形態3による繰り返し制御装置の積分項演算部で得られるゲイン・位相特性を示す波形図である。

[0098] 図7(a)は、従来の積分項演算部で得られるゲイン特性及び位相特性を示す図であり、図7(b)は、本発明の実施の形態3による積分項演算部で得られるゲイン特性及び位相特性を示す図である。なお、図中の実線(1)は入力信号の低域ゲインを上げた場合のゲイン・位相特性を示し、点線(2)は入力信号のゲイン・位相特性を示す。

[0099] 図7(a)に示すように、従来の積分項演算部による積分処理では、低域ゲインを上げようとする位相遅れが生じるため、トラックに対する追従性能に悪影響を及ぼす結果となる。

[0100] 一方で、本発明の実施の形態3による繰り返し制御装置を用いた積分項演算部による処理を行った信号は、位相遅れを発生させることなく、低域ゲインを上げることができる。

[0101] 以上のように、本発明の実施の形態3による繰り返し制御装置は、サーボフィルタの積分項演算部が行う積分演算処理を、ディスク回転分の信号情報を複数のメモリ領域に分割して格納するメモリを用いて行うようにしたことにより、サーボエラー信号中のディスク回転数に同期した周波数におけるゲインを積分項のDCゲインと同じにすることができ、より少ない回路規模で、位相遅れを生じさせることなく、ゲインを上昇させることが可能となる。

#### 産業上の利用可能性

[0102] 本発明にかかる繰り返し制御装置は、入力信号に位相回りを発生させることなく、ゲインを上げることを可能にするものであり、サーボ信号処理を行う際に大変有用であ

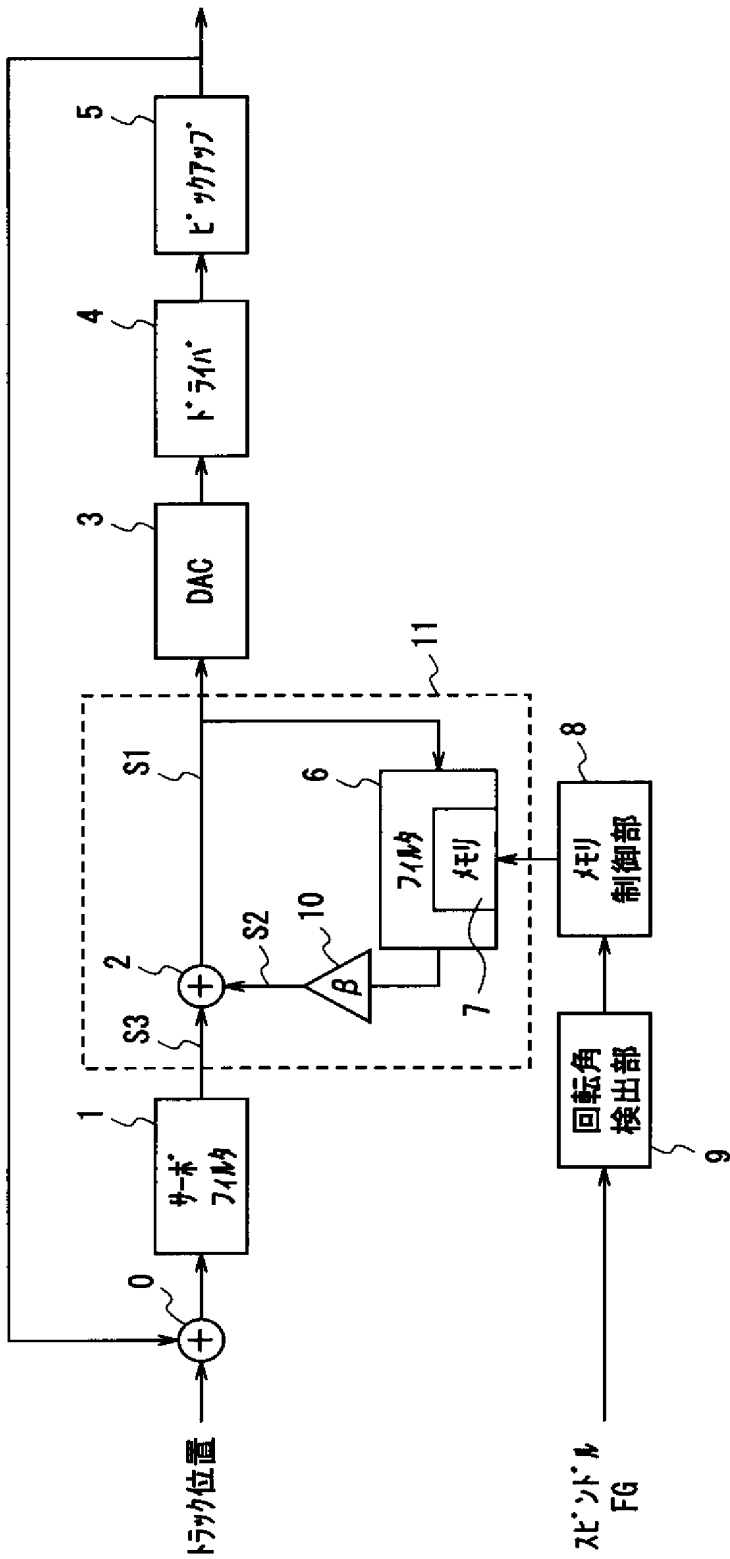
る。

### 請求の範囲

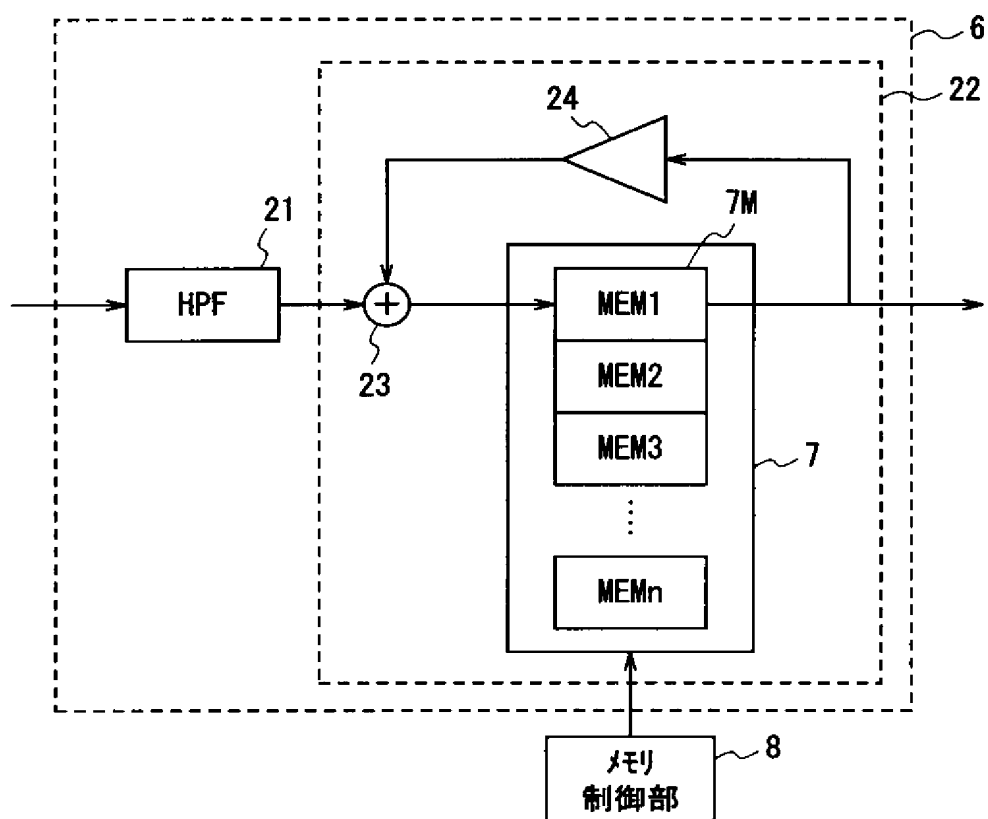
- [1] 被補償信号が入力される加算部と、  
前記加算部からの出力信号を順次更新記憶して前記加算部に出力するフィードバック信号系とを備え、  
前記フィードバック信号系は、  
ディスク回転分の信号情報を複数のメモリ領域に分割して格納するメモリを、遅延要素として用いるフィルタと、  
前記フィルタからの出力に対して1以下の値を乗じて前記加算部に入力するゲイン要素とからなり、  
前記フィルタが駆動信号の動作周波数の整数倍のクロック信号を用いて動作する、  
ことを特徴とする繰り返し制御装置。
- [2] 請求項1に記載の繰り返し制御装置において、  
前記フィルタは、前記メモリに並列に接続したレジスタを有し、前記フィルタによるフィルタ処理時に、入力信号の上位ビットデータを前記メモリに記録し、下位ビットデータを前記レジスタに記録する、  
ことを特徴とする繰り返し制御装置
- [3] 請求項2に記載の繰り返し制御装置において、  
前記メモリに記録される上位ビットデータの語長は、前記加算部で加算される被補償信号のデータの語長に等しい、  
ことを特徴とする繰り返し制御装置。
- [4] 請求項1または請求項2に記載の繰り返し制御装置において、  
前記フィルタは、ローパスフィルタを含み、前記メモリを該ローパスフィルタの遅延要素として用いる、  
ことを特徴とする繰り返し制御装置。
- [5] 請求項1または請求項2に記載の繰り返し制御装置において、  
前記フィルタは、ローパスフィルタとハイパスフィルタとからなるバンドパスフィルタであり、前記メモリを前記ローパスフィルタの遅延要素として用いる、  
ことを特徴とする繰り返し制御装置。

- [6]      サーボエラー信号が入力される加算部と、  
前記加算部からの出力に対して所定の値を乗算する積分ゲインと、  
前記加算部からの出力信号を順次更新して前記加算部に入力するフィードバック  
信号系を備え、  
前記フィードバック信号系は、  
ディスク一回転分の信号情報を複数のメモリ領域に分割して格納するメモリと、  
前記メモリからの出力に対して1以下の値を乗じて前記加算部に入力するゲイン要素とからなり、  
入力されたサーボエラー信号に対して積分演算処理を行う際に、前記メモリを入力  
信号の遅延要素として用いて積分演算処理を行う、  
ことを特徴とする繰り返し制御装置。
- [7]      光ディスクの記録又は再生を行う光ディスク装置において、  
請求項1に記載の繰り返し制御装置を搭載した、  
ことを特徴とする光ディスク装置。
- [8]      光ディスクの記録又は再生を行う光ディスク装置において、  
請求項6に記載の繰り返し制御装置を搭載した、  
ことを特徴とする光ディスク装置。

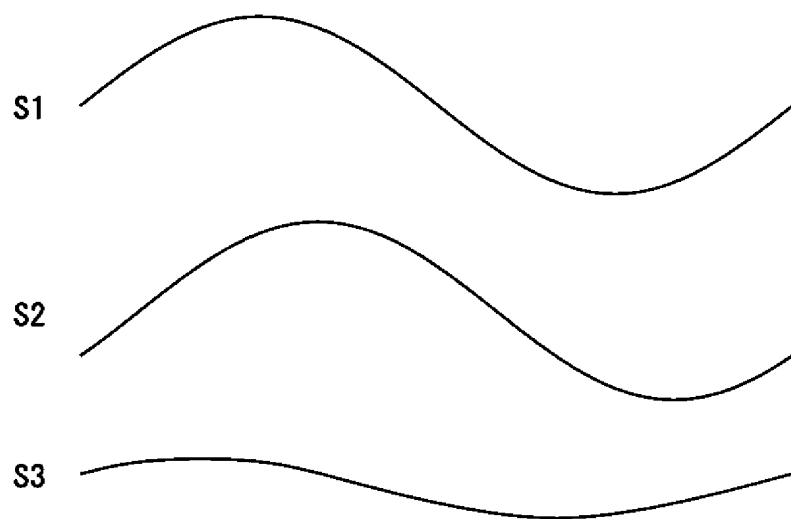
[図1]



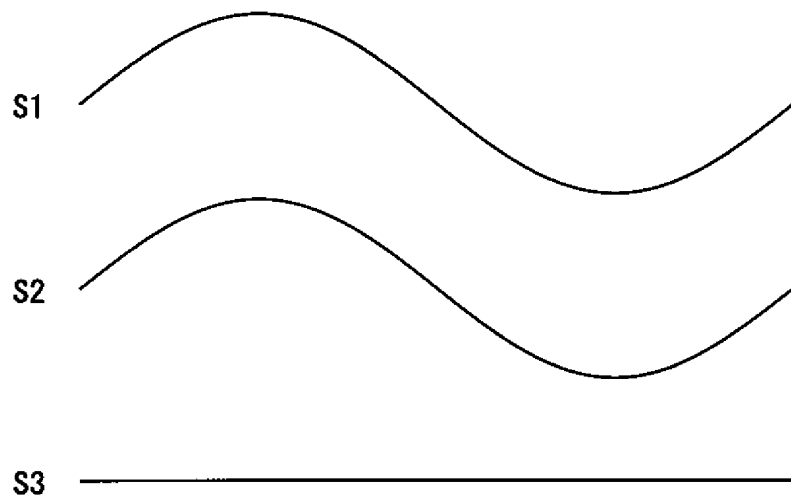
[図2]



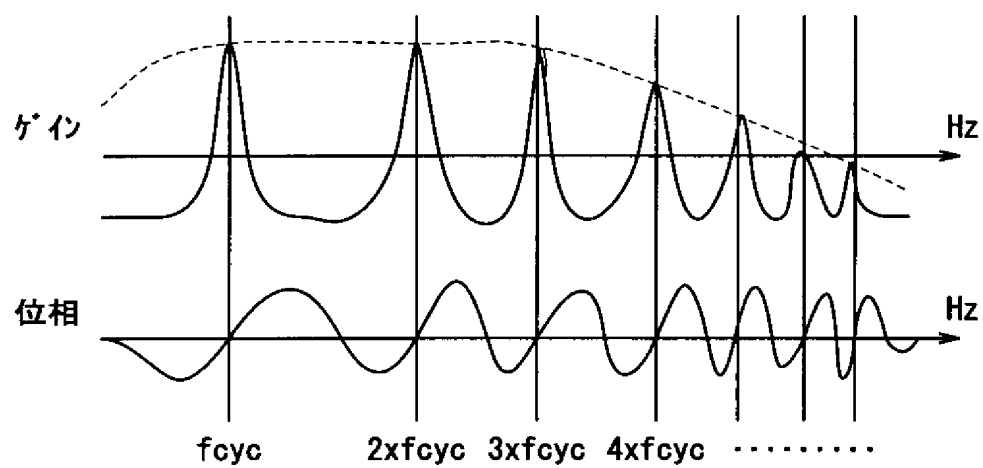
[図3(a)]



[図3(b)]



[図4]





[図5]

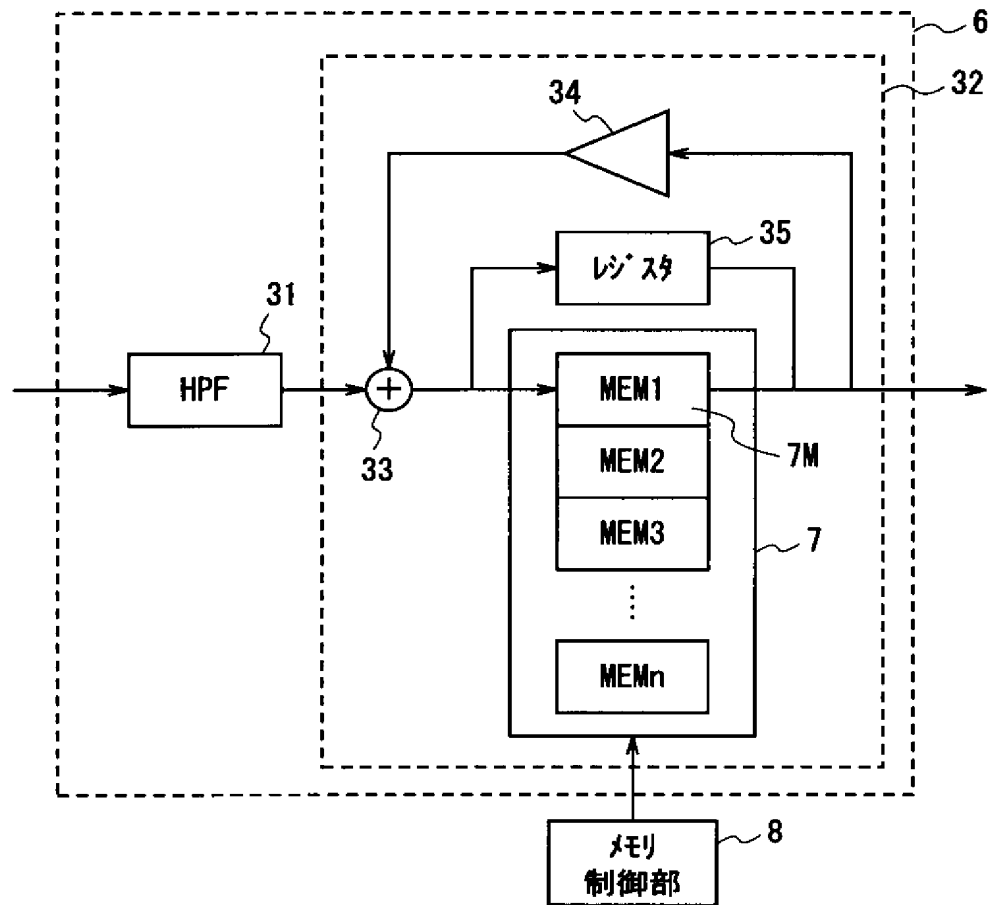
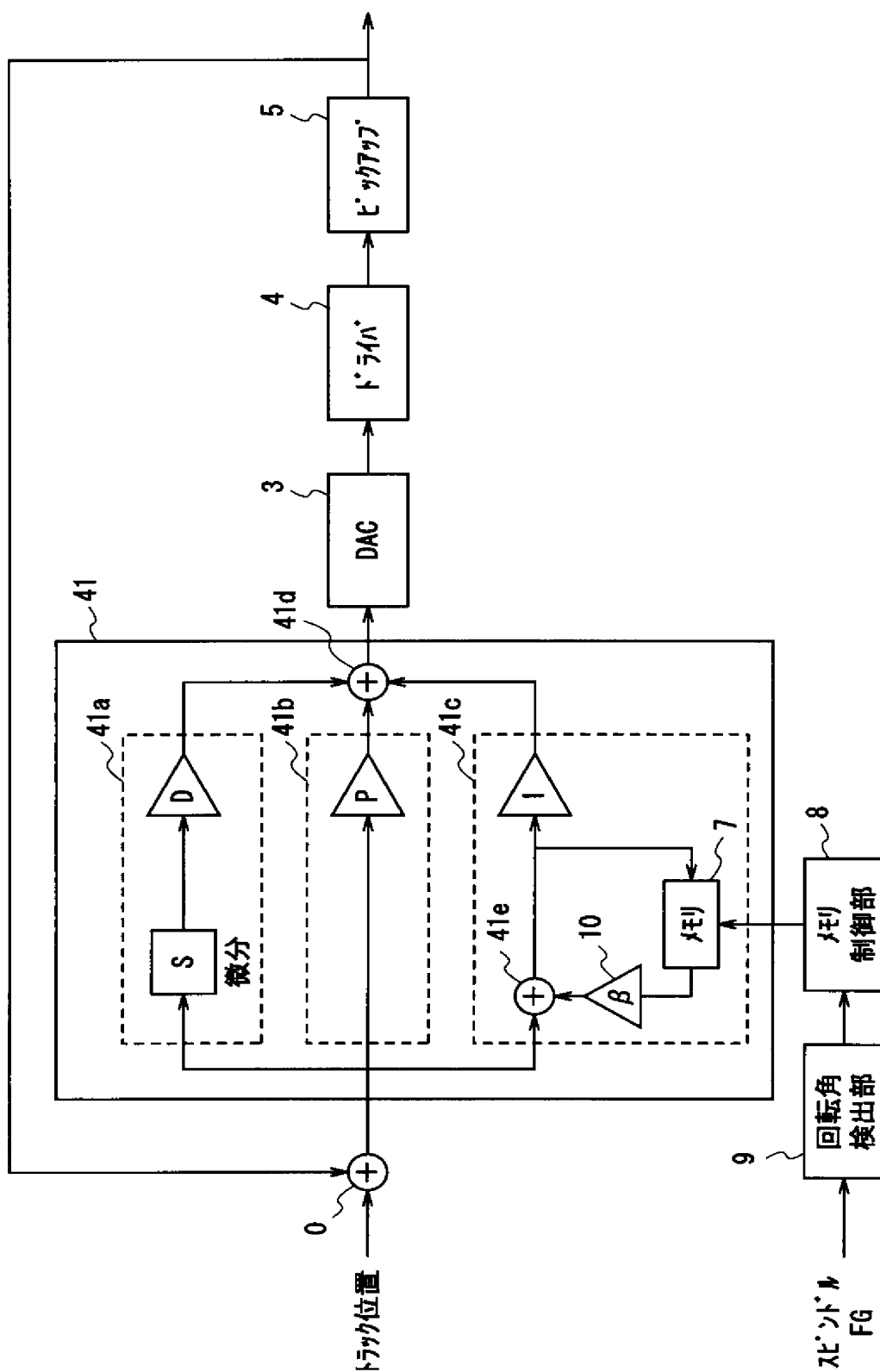
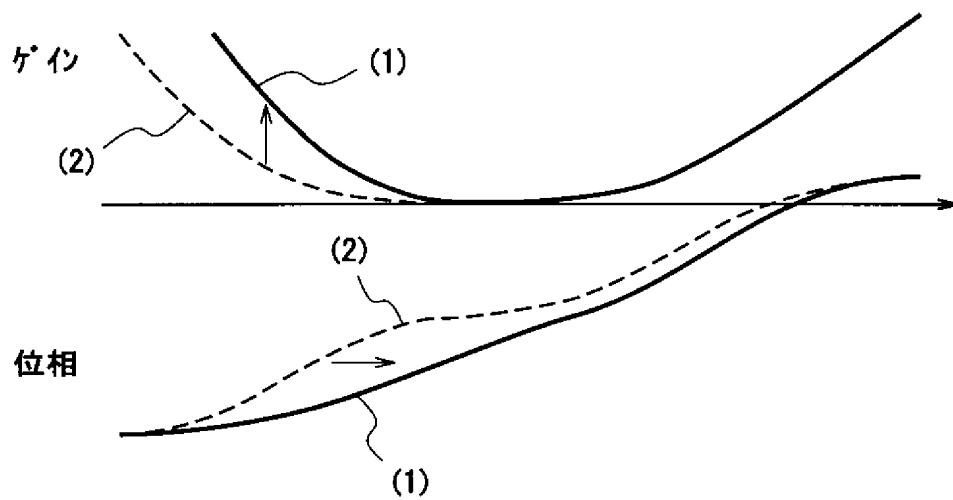


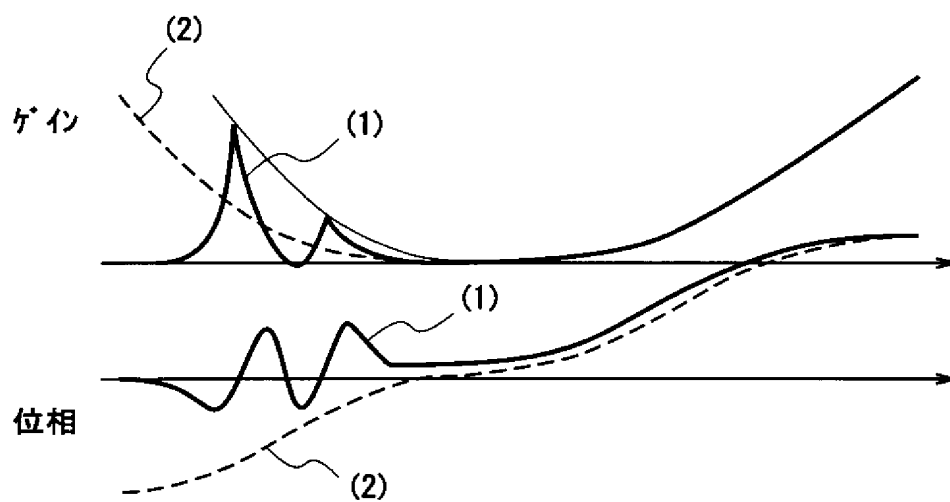
図6



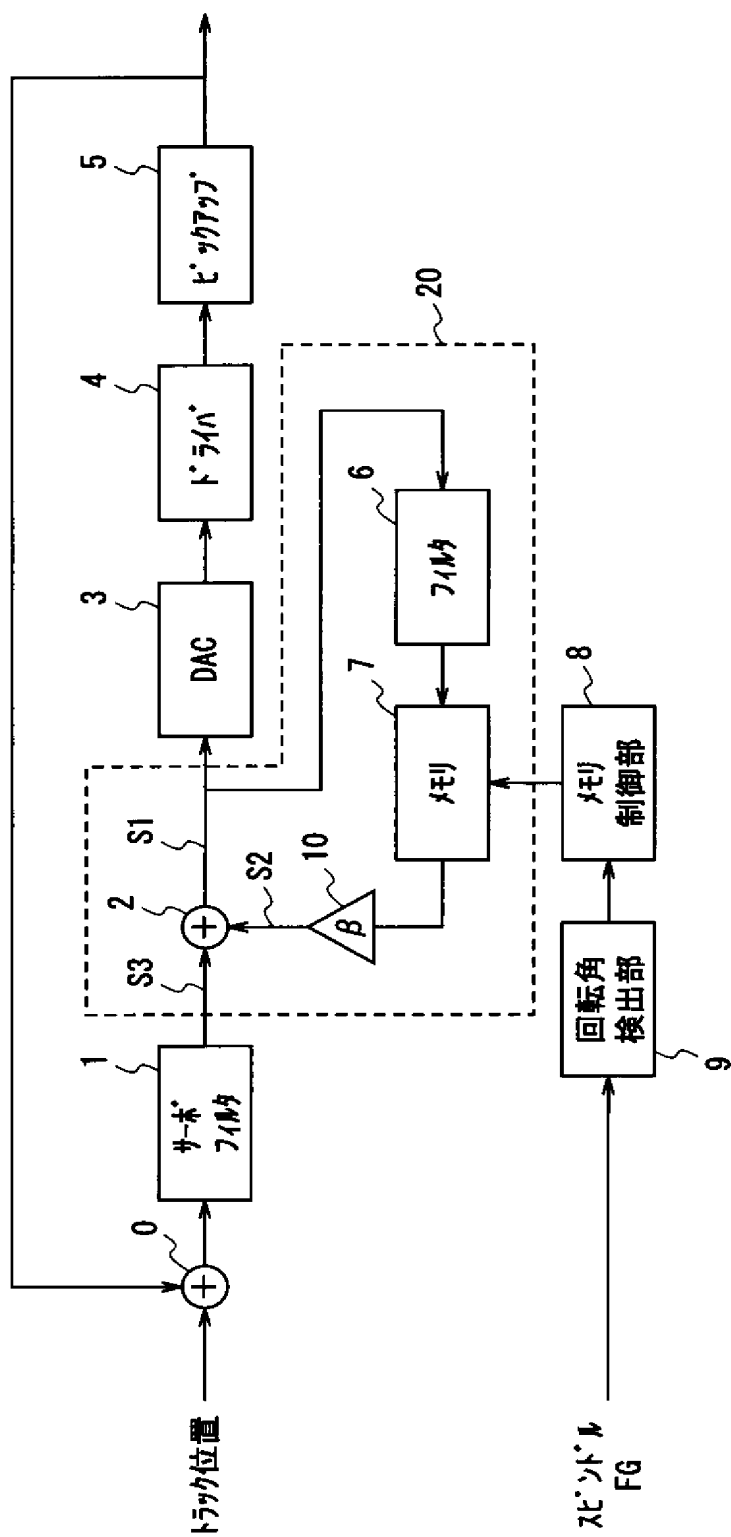
[図7(a)]



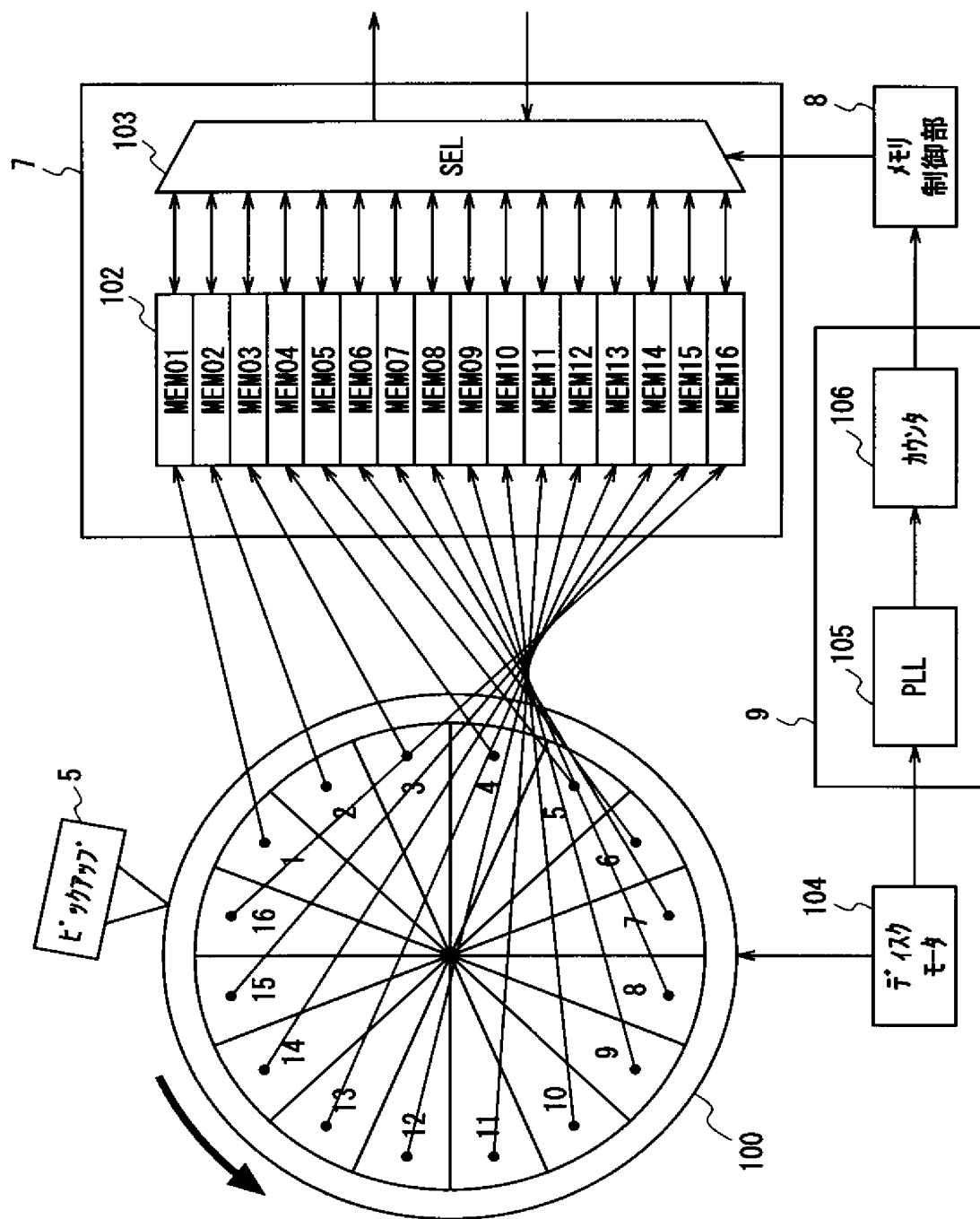
[図7(b)]



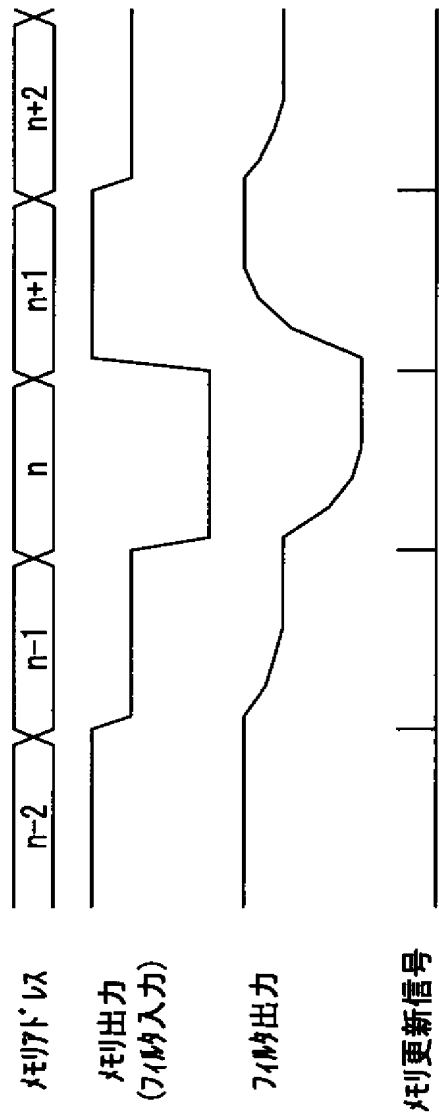
[図8]



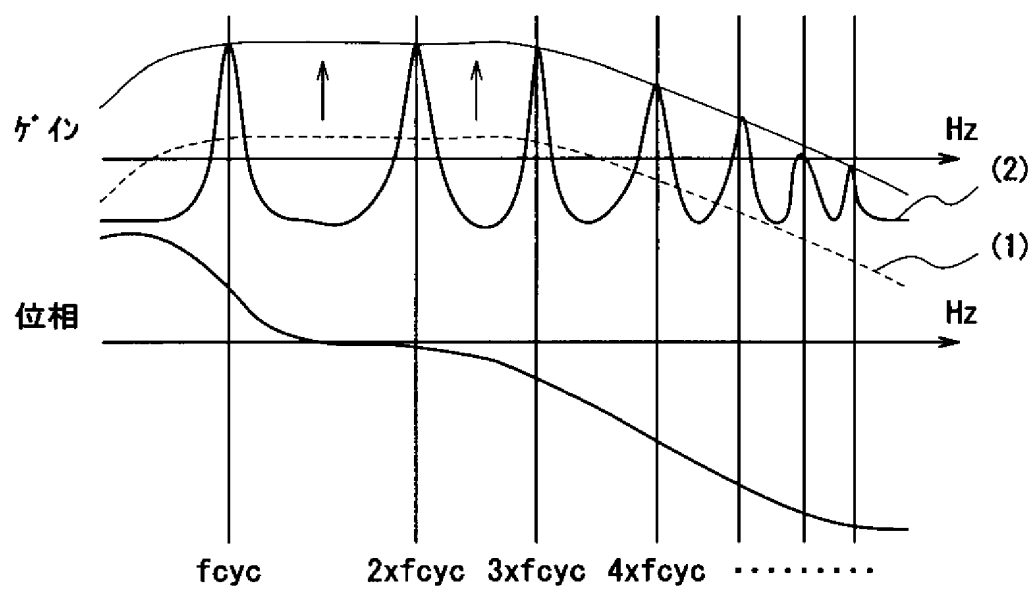
[図9]



[図10]



[図11]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/000339

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> G11B7/095

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> G11B7/09-7/10, H03H17/02, G05B13/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 1-140432 A (Sony Corp.), 01 June, 1989 (01.06.89), Page 3, lower left column, line 20 to page 5, lower left column, line 13; Figs. 1 to 3 (Family: none)	1, 6-8 2-5
Y A	JP 10-134380 A (Matsushita Electric Industrial Co., Ltd.), 22 May, 1998 (22.05.98), Par. Nos. [0021] to [0029]; Figs. 1 to 6 (Family: none)	1, 6-8 2-5
A	JP 9-50303 A (Mitsubishi Electric Corp.), 18 February, 1997 (18.02.97), Par. Nos. [0030] to [0082]; Figs. 1 to 9 (Family: none)	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier application or patent but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
08 April, 2005 (08.04.05)

Date of mailing of the international search report  
26 April, 2005 (26.04.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2005/000339

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 3-194736 A (Konica Corp.), 26 August, 1991 (26.08.91), Full text; Figs. 1 to 5 (Family: none)	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. <sup>7</sup> G11B7/095			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. <sup>7</sup> G11B7/09-7/10, H03H17/02, G05B13/02			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2005年 日本国実用新案登録公報 1996-2005年 日本国登録実用新案公報 1994-2005年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
Y A	JP 1-140432 A (ソニー株式会社) 1989. 06. 01, 第3頁左下欄第20行-第5頁左下欄第13行, 第1-3図 (ファミリーなし)	1, 6-8 2-5	
Y A	JP 10-134380 A (松下電器産業株式会社) 1998. 05. 22, 【0021】-【0029】, 図1-6 (ファミリーなし)	1, 6-8 2-5	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献	
国際調査を完了した日 08. 04. 2005		国際調査報告の発送日 26. 4. 2005	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 古河 雅輝 電話番号 03-3581-1101 内線 3551	5D 3242

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 9-50303 A (三菱電機株式会社) 1997. 02. 18, 【0030】 - 【0082】, 図1-9 (ファミリーなし)	1-8
A	JP 3-194736 A (コニカ株式会社) 1991. 08. 26, 全文, 第1-5図 (ファミリーなし)	1-8